

FPGAを用いた
生化学シミュレーションに関する研究

天野研究室 長名 保範

Outline of Presentation

- 背景

- 生化学シミュレーション

- ReCSiP の構成

- Solver

- 数値積分器

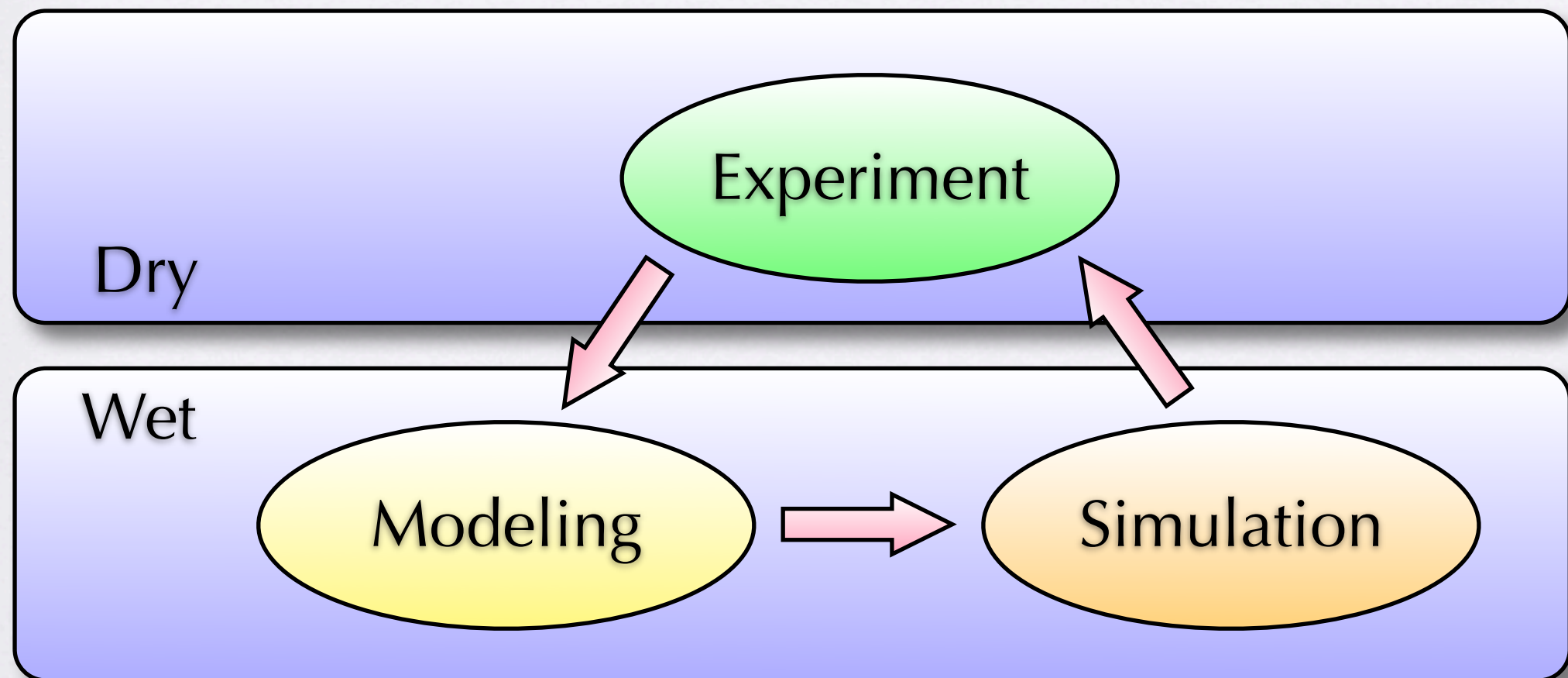
- スイッチ

- 性能評価

Background

Systems Biology

- 生物学実験 = “Wet” な実験 + “Dry” な実験
- 実験室での実験と計算機実験が研究の両輪



Motivation

It's time to change

- 生物学は変わった
 - 定性的な知識から定量的な知識へ
 - 数理モデリングとシミュレーション
- 計算機科学はどうか？
 - 大きな計算負荷: アーキテクチャ的なチャレンジ

Biocomputing

Example of Applications

- さまざまな切り口から計算機を用いた解析
 - 遺伝子配列の相同性検索
 - 分子動力学シミュレーション
 - 生化学シミュレーション
 - 顕微鏡やマイクロアレイの画像処理

Challenges in C.S.

High-Performance Computing

- 並列化による高性能化のアプローチ
 - PC/WS クラスタ
 - MPP (地球シミュレータなど)
 - 専用の高性能計算機 (GRAPEなど)
- 新しいアーキテクチャ: Reconfigurable Computing

Conventional HPC

PC/WS Cluster

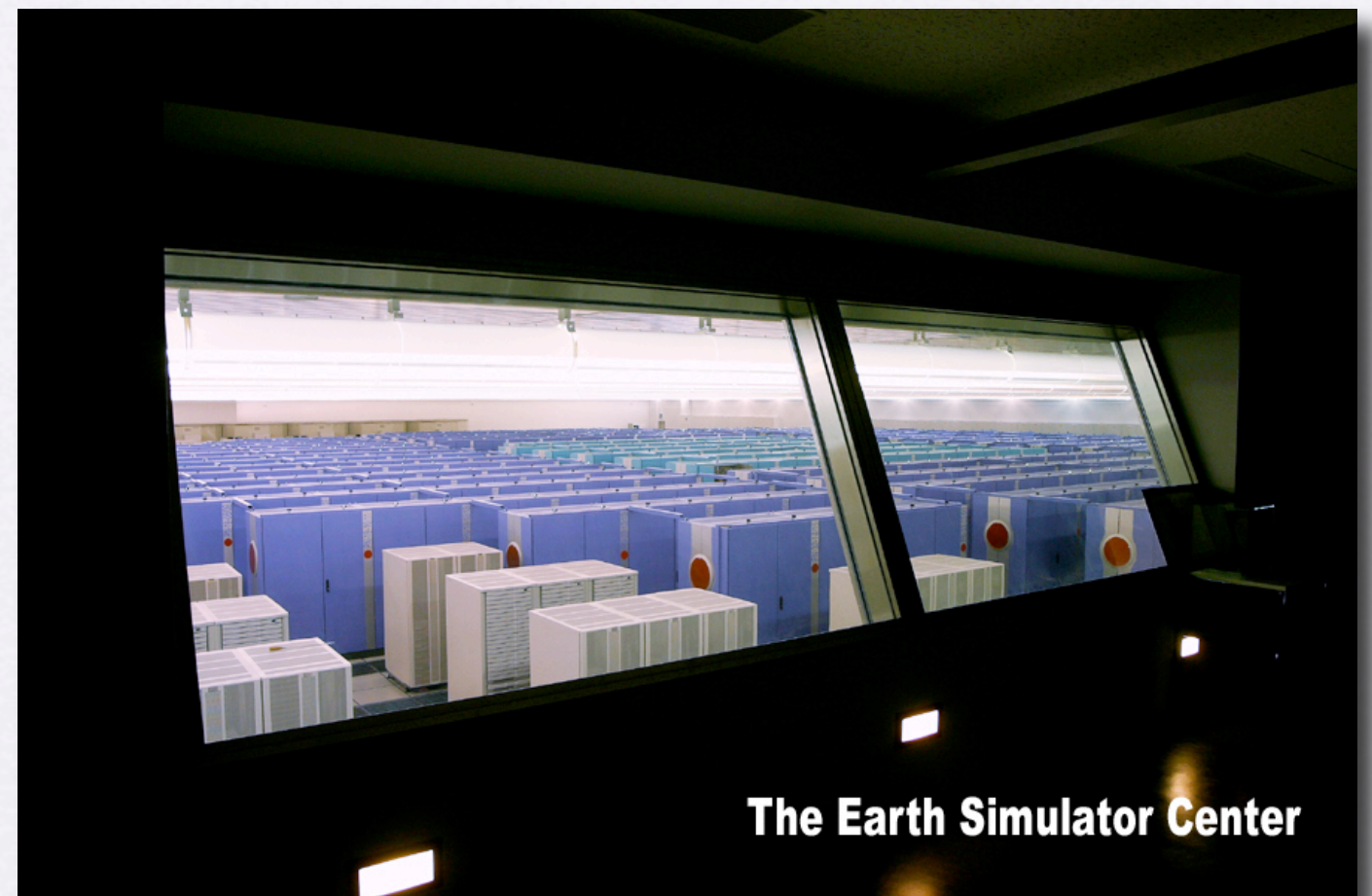
- PC/WS クラスタ
 - 汎用品で構成
 - 広く普及
 - 導入が容易



Conventional HPC

MPP: Massively Parallel Processing

- 超並列計算機
 - μ Pを利用
 - 専用の結合網
 - 高いコスト
 - 高い性能



Conventional HPC

Dedicated Hardware

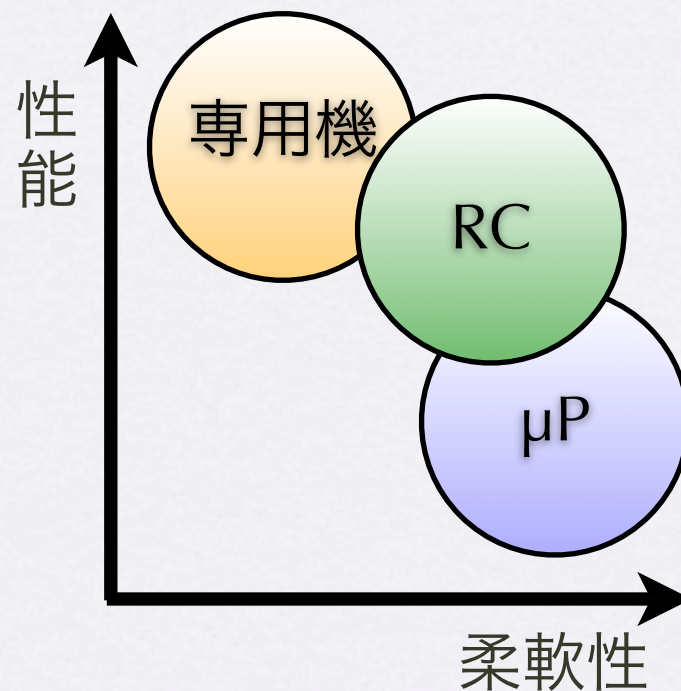
- 専用計算機
 - 非常に高い性能
 - 非常に高いコスト
 - 低い柔軟性



Reconfigurable Computing

Flexibility and Performance

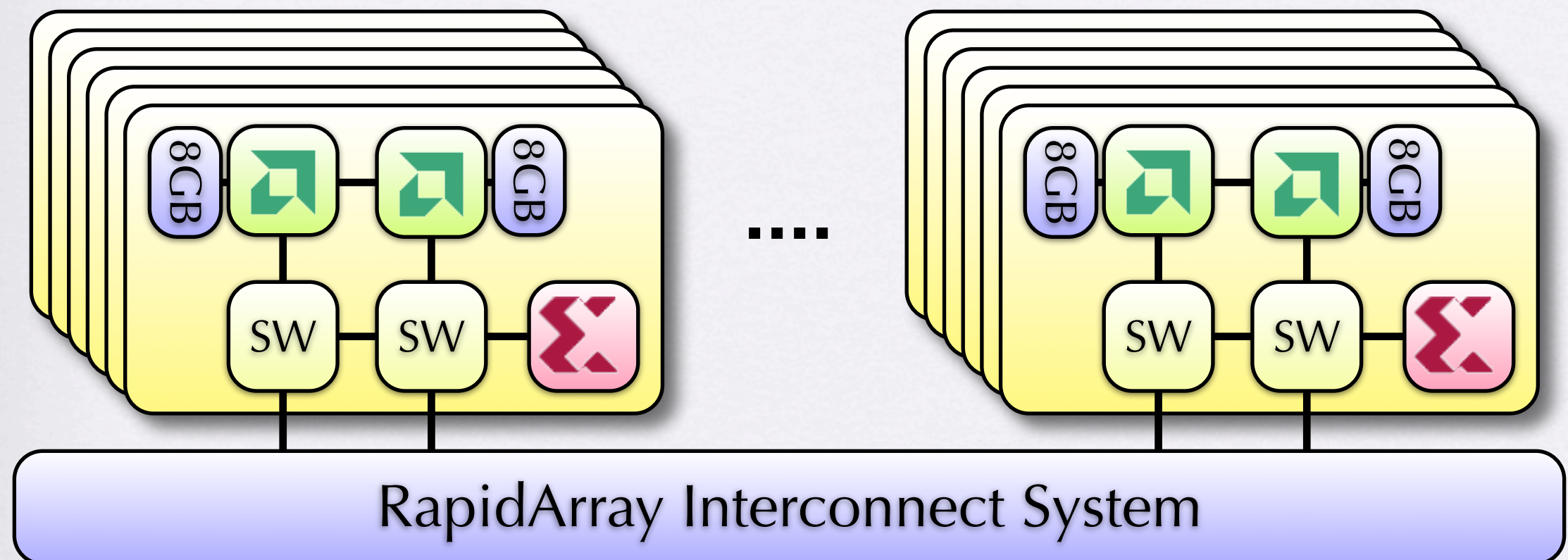
- FPGA などを用いた高性能コンピューティング
 - 回路変更による柔軟性
 - 専用回路を使うことによる高い性能



CRAY XD-1

Cray Inc.

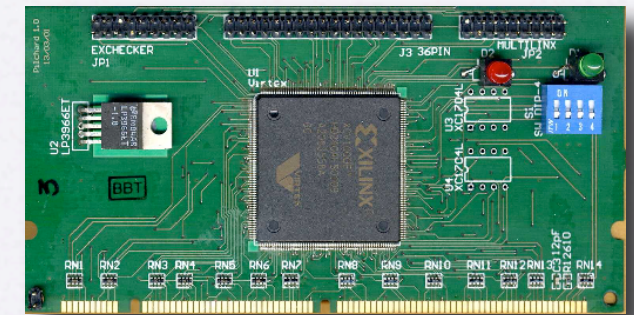
- AMD Opteron 2.2GHz Dual Core +
XC2VP70 / XC4VLX160 / XC4VSX55



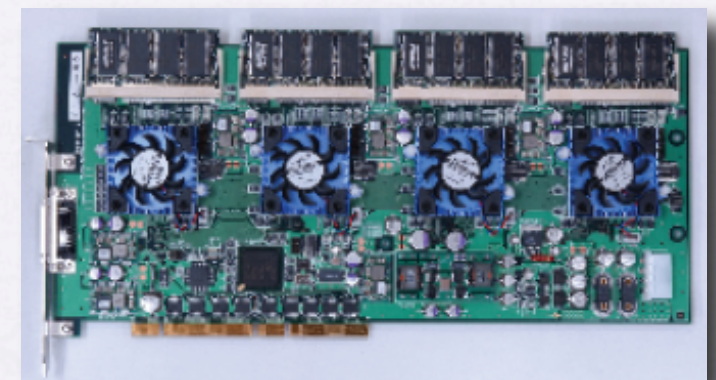
FPGAs in Bioinformatics

Related Works

- 遺伝子配列の相同性検索
 - Smith-Waterman など
 - 理研ほか
- 生化学シミュレーション
 - 確率モデルの実装が増加中
 - Washington, UCSB, etc.
- 分子動力学



Pilchard (Hong-Kong Univ.)



Bioler3 (TED / Riken)



WildCard-II (Annapolis Micro / WU)

The Goal

And, the Reason to Use FPGAs

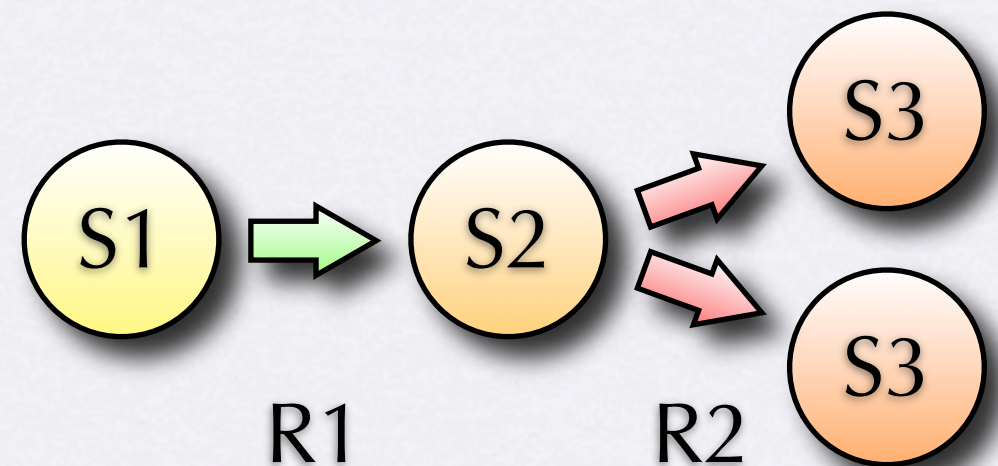
- デスクトップで使える高性能環境の構築
 - 小型・低消費電力でありながら PC クラスタ等の高性能システムに対抗しうる処理能力
 - さまざまなアプリケーションに対応する柔軟性
 - 既存の PC に組み込むことでのユーザの負担軽減

Outline of Presentation

- 背景
- 生化学シミュレーション
- ReCSiP の構成
 - Solver
 - 数値積分器
 - スイッチ
- 性能評価

Biochemical Simulations

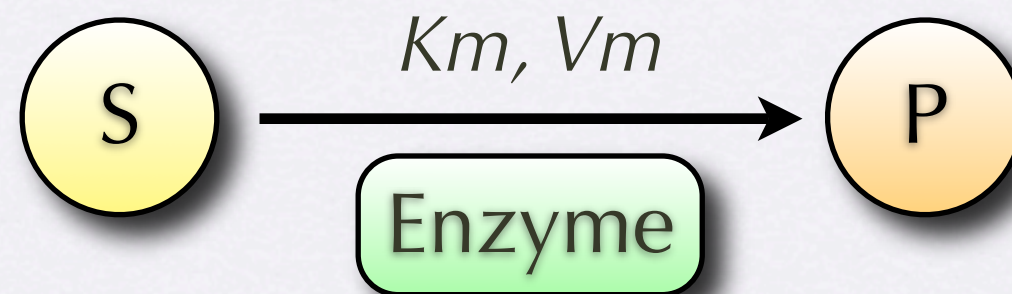
- 反応経路の挙動をシミュレーション
 - 各分子の濃度の時間変化を計算
 - 反応速度式(微分方程式) を解くことで実現
 - 反応経路マップと、反応速度定数・分子の初期濃度のセットが必要



Kinetic Formula

or, Rate-law function

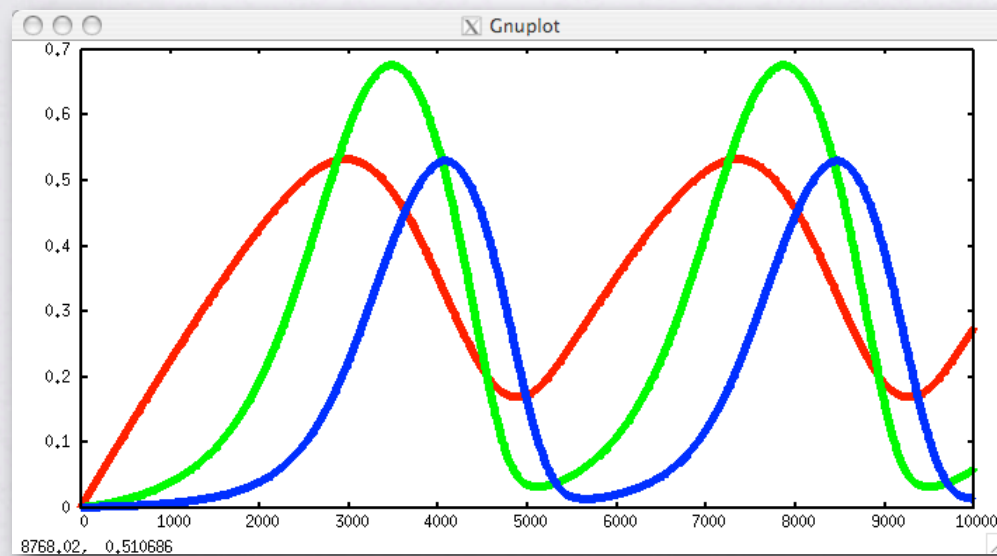
- 反応の速度をモデル化する関数
 - 反応速度 = 分子の消費・生成速度
 - 多くの場合、反応に寄与する分子の濃度の関数
 - ex) $v = (SK_m)/(S + V_m)$



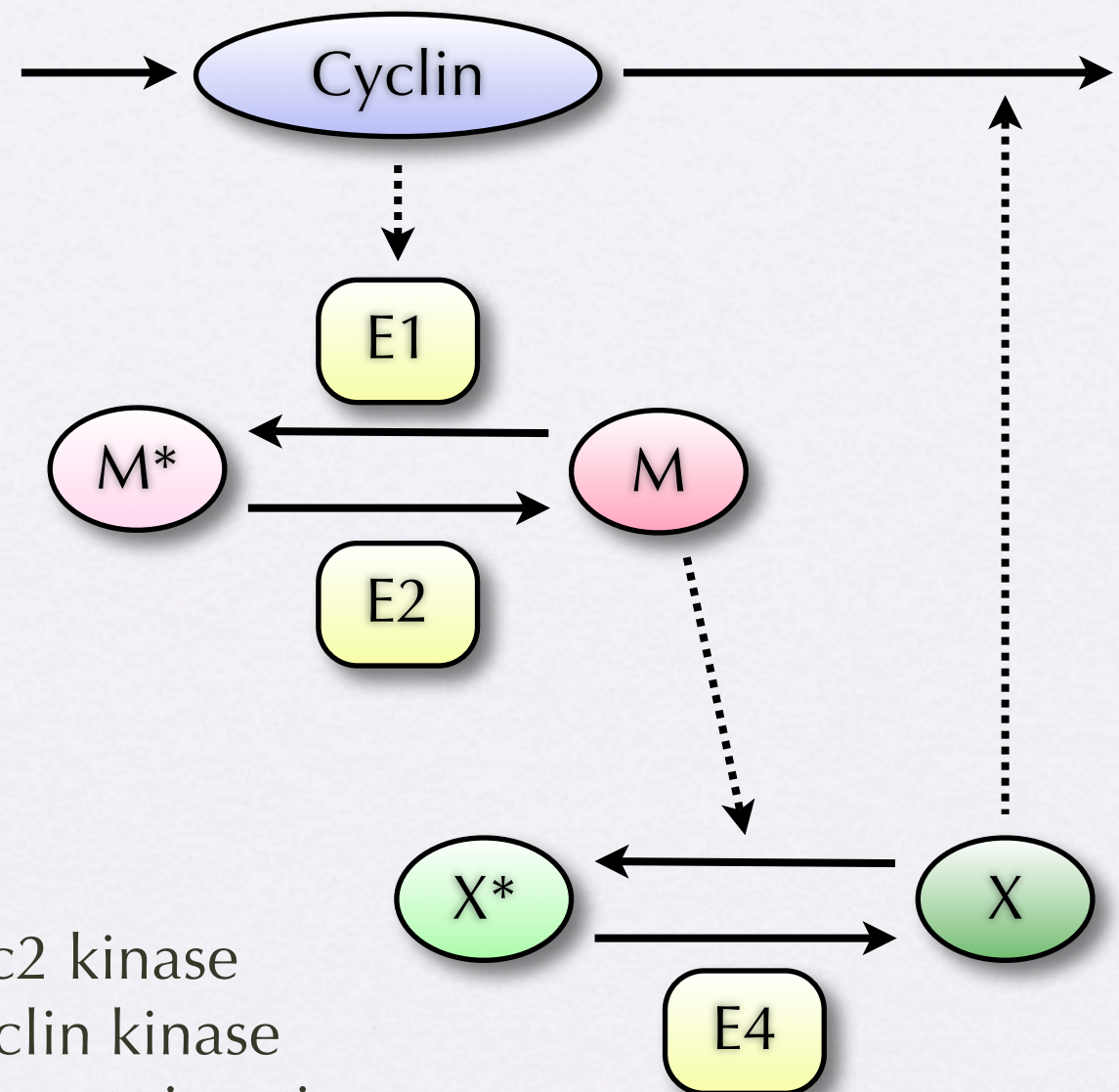
Example

Mitotic Oscillator Model (Goldbeter, 1991)

- C, M, X の3分子
- 7つの明示的な反応

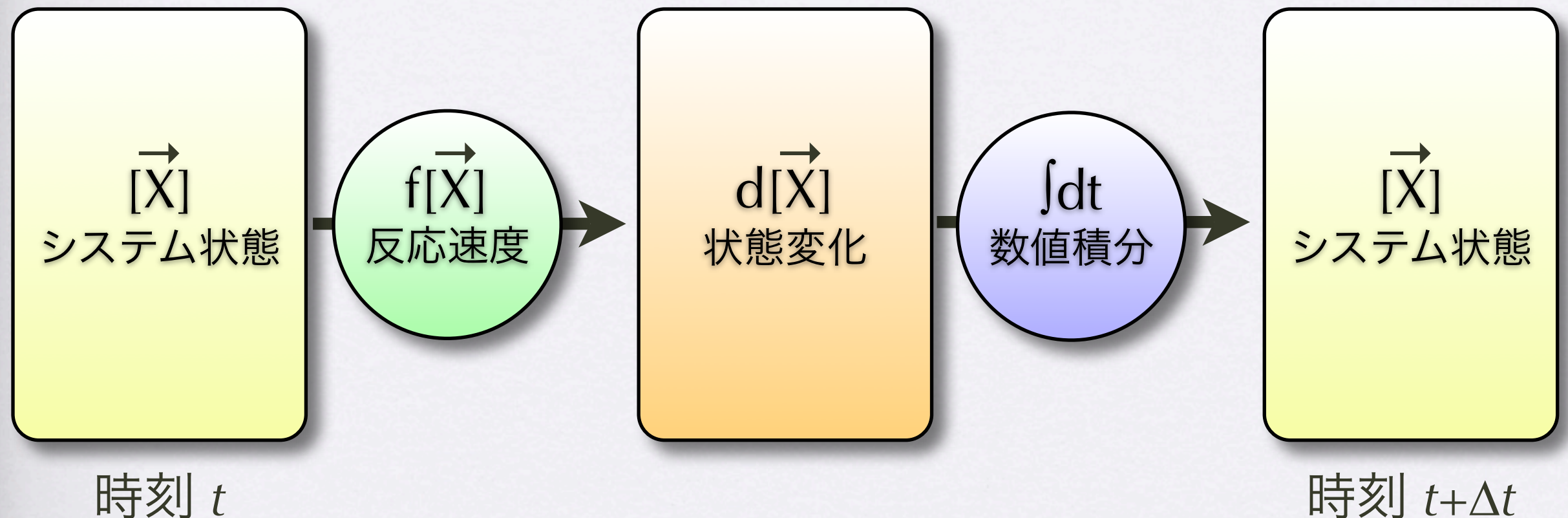


M: cdc2 kinase
X: Cyclin kinase
* represents inactive



Simulation

- 反応速度の計算と積分の反復で時刻を進める



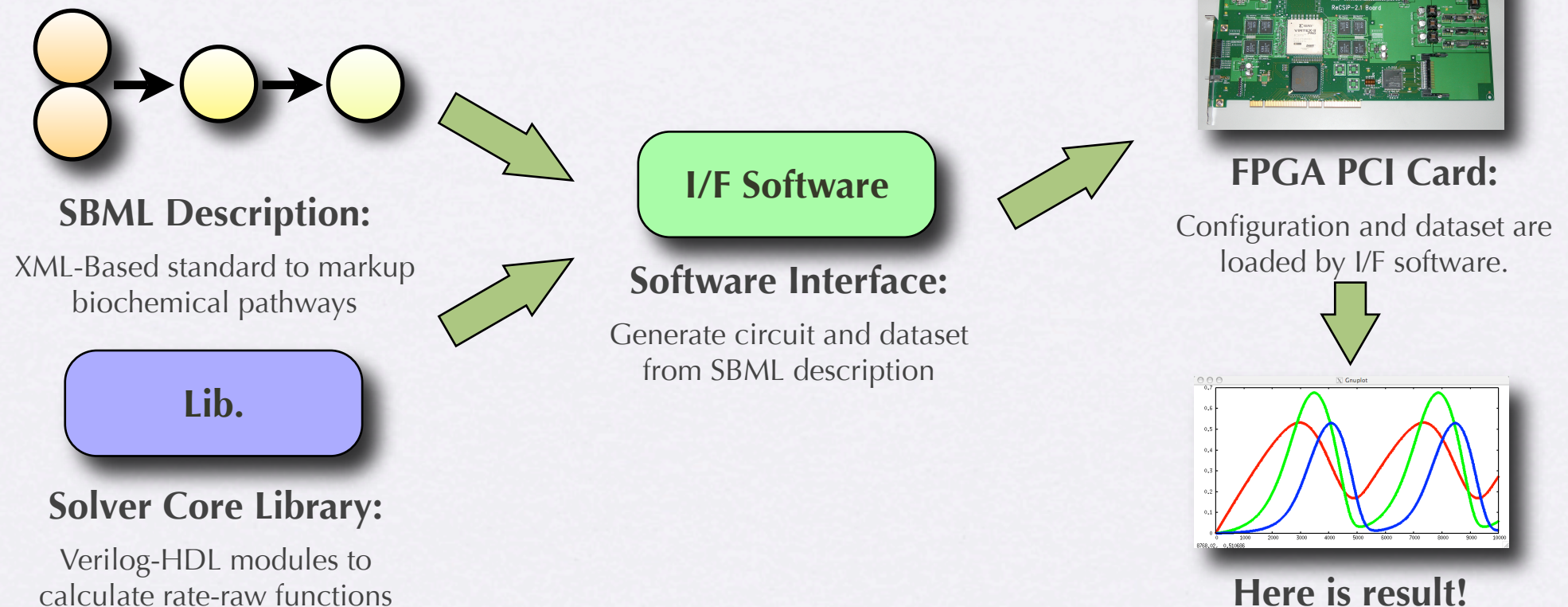
Outline of Presentation

- 背景
- 生化学シミュレーション
- ReCSiP の構成
 - Solver
 - 数値積分器
 - スイッチ
- 性能評価

System Overview

Optimal circuit, Always

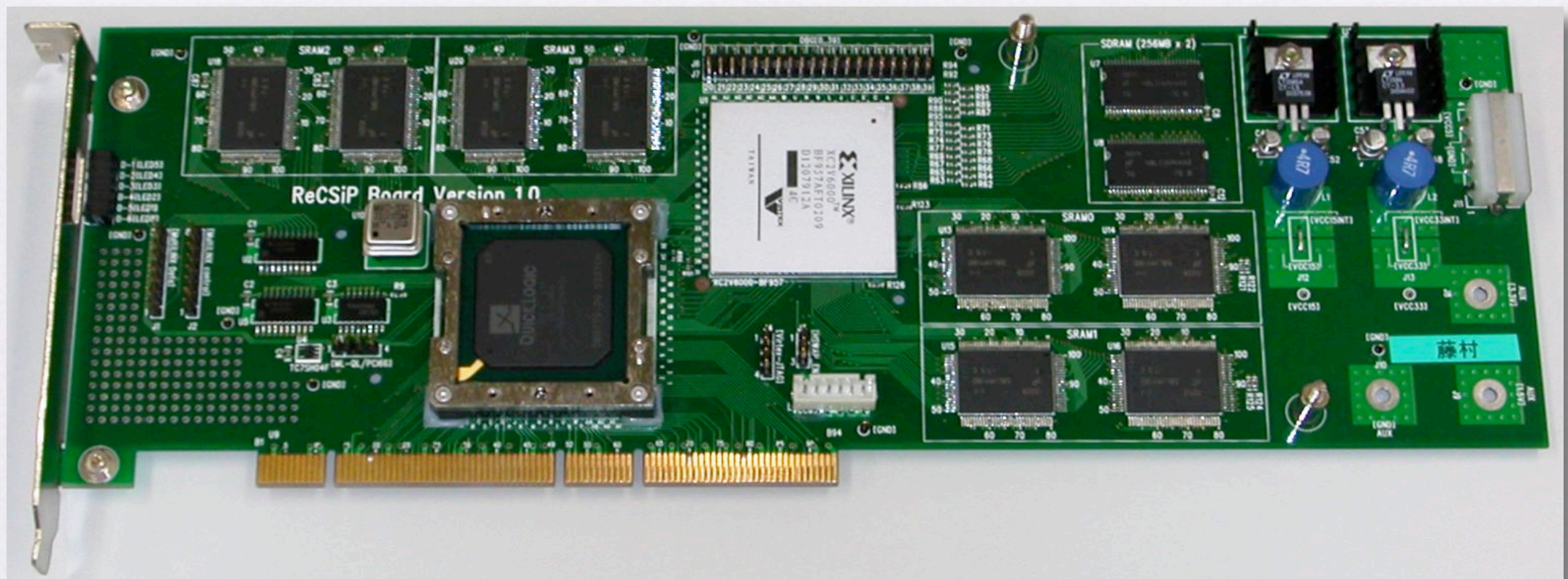
- モジュールの組み合わせだけで可能
- ソフトウェアベースのシミュレータと同等の使



ReCSiP Board

2002

- XC2V6000 を搭載した 64bit/66MHz PCI カード
 - 8 個の18Mb 同期 SRAM
 - 64MB の SDRAM などを搭載



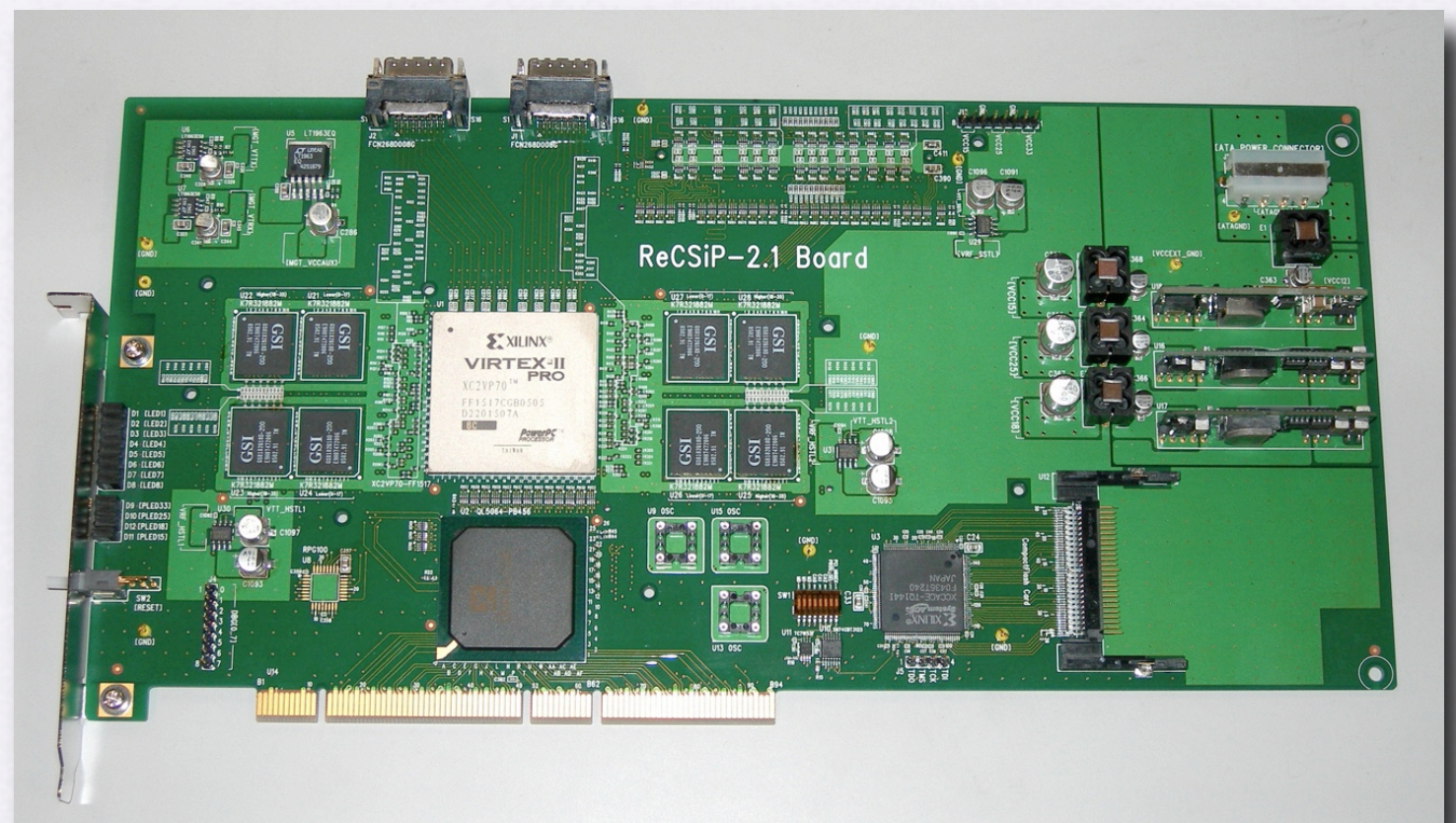
ReCSiP-2 Board

2003, 2004

- XC2VP70 を搭載した 64bit/66MHz PCI カード

- 8 個の18Mb QDR-SRAM
 - SO-DIMM ソケット
 - 乱数ジェネレータ (FDK製)
- などを搭載

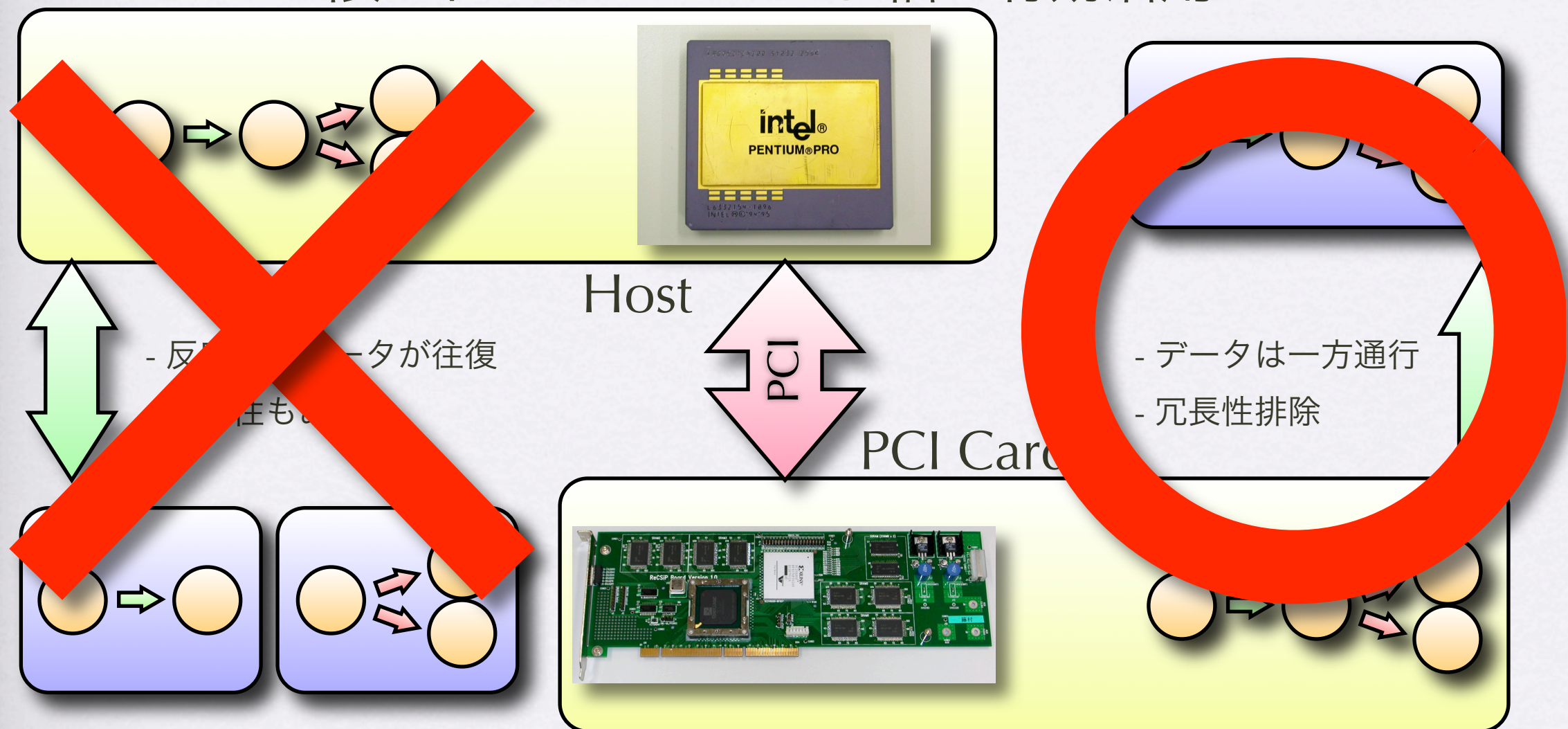
細胞系譜自動構築システム
が稼働



Problem

PCI Bandwidth Bottleneck

- FPGA 内で反応経路マップ・数値積分を処理
- 限られた PCI のバンド幅を有効活用



Requirements

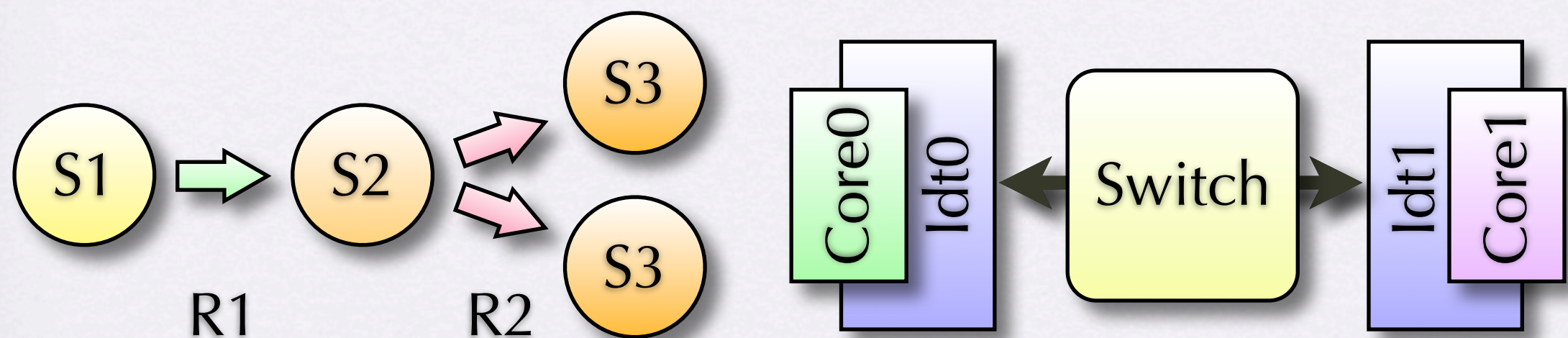
Stand-alone Processing Ability of FPGA

- FPGA が自律して処理を行うことが必須
 - 複雑な反応経路をどうやって処理するか
 - 反応経路を回路に hardcoding しない
 - 多くの反応機構の混在に対応
 - モデルの規模：1000分子種、1000反応程度

Organization

Using Multiple Solvers

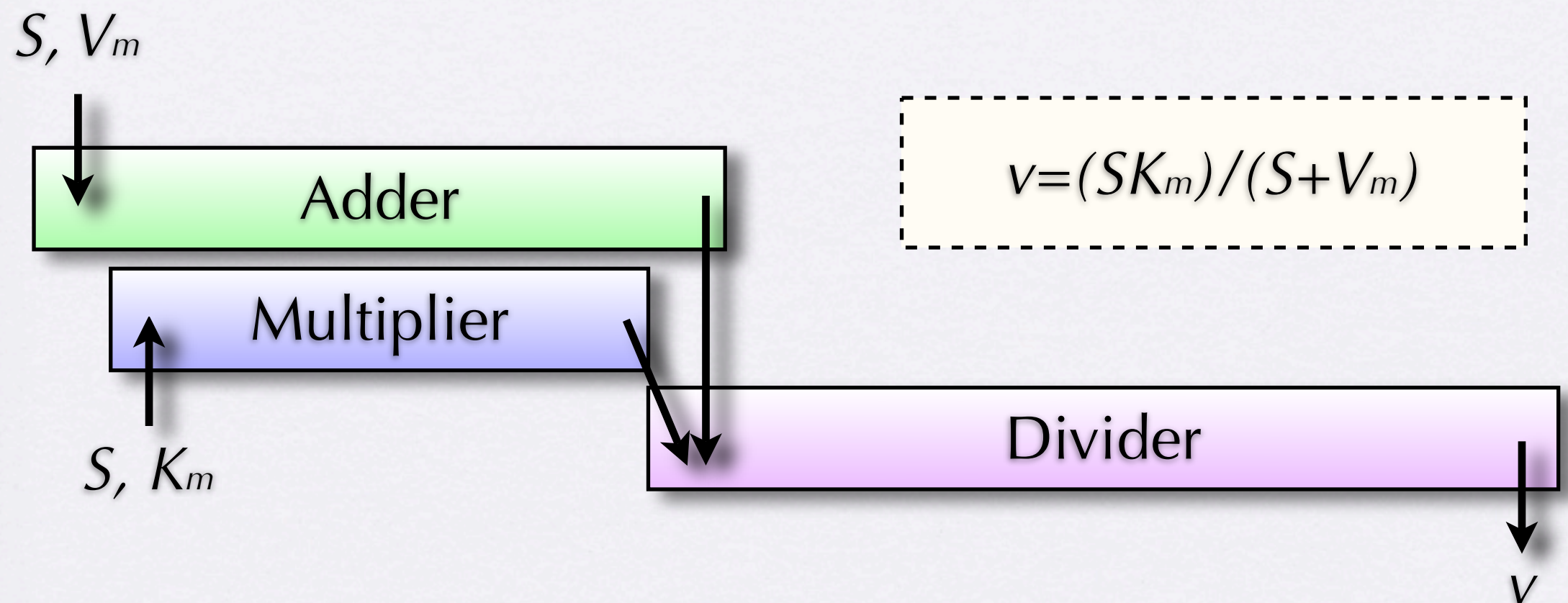
- Solver と呼ばれる機能ブロックで処理を実行
 - Solver ごとに別々の反応速度式を計算
 - 反応機構にあわせた回路をライブラリから選択



Solver Core

Pipelined Rate-Law Function Module

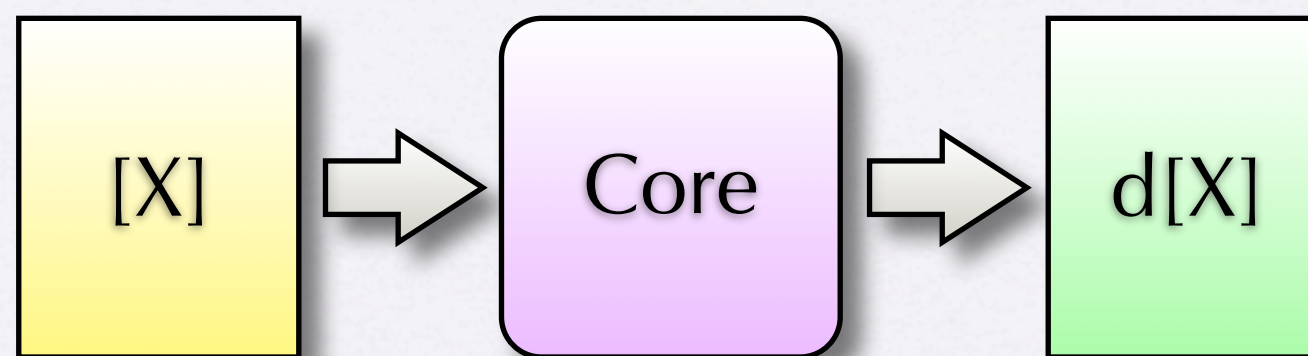
- 反応速度式を計算するモジュール
 - パイプライン化することで高いスループット



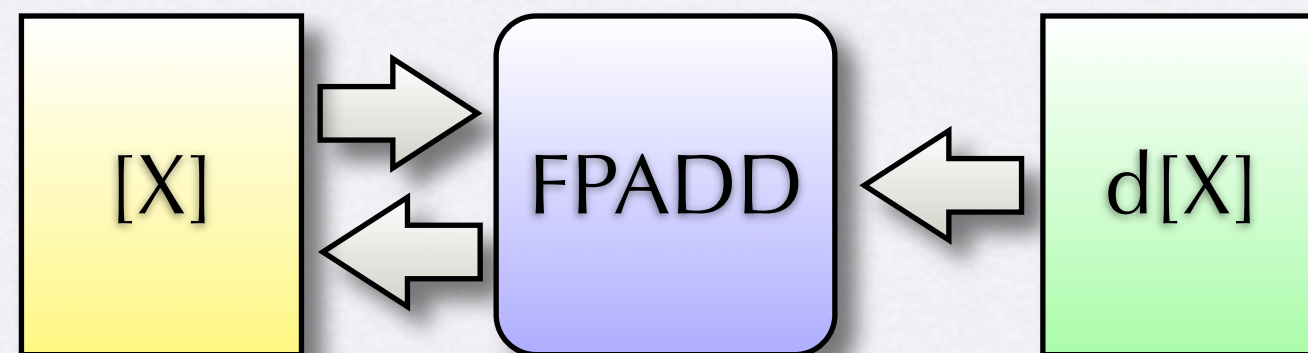
Integrator

Basic Mechanism

- Phase 1: 反応速度式から濃度変化を計算



- Phase 2: 積分操作を実行

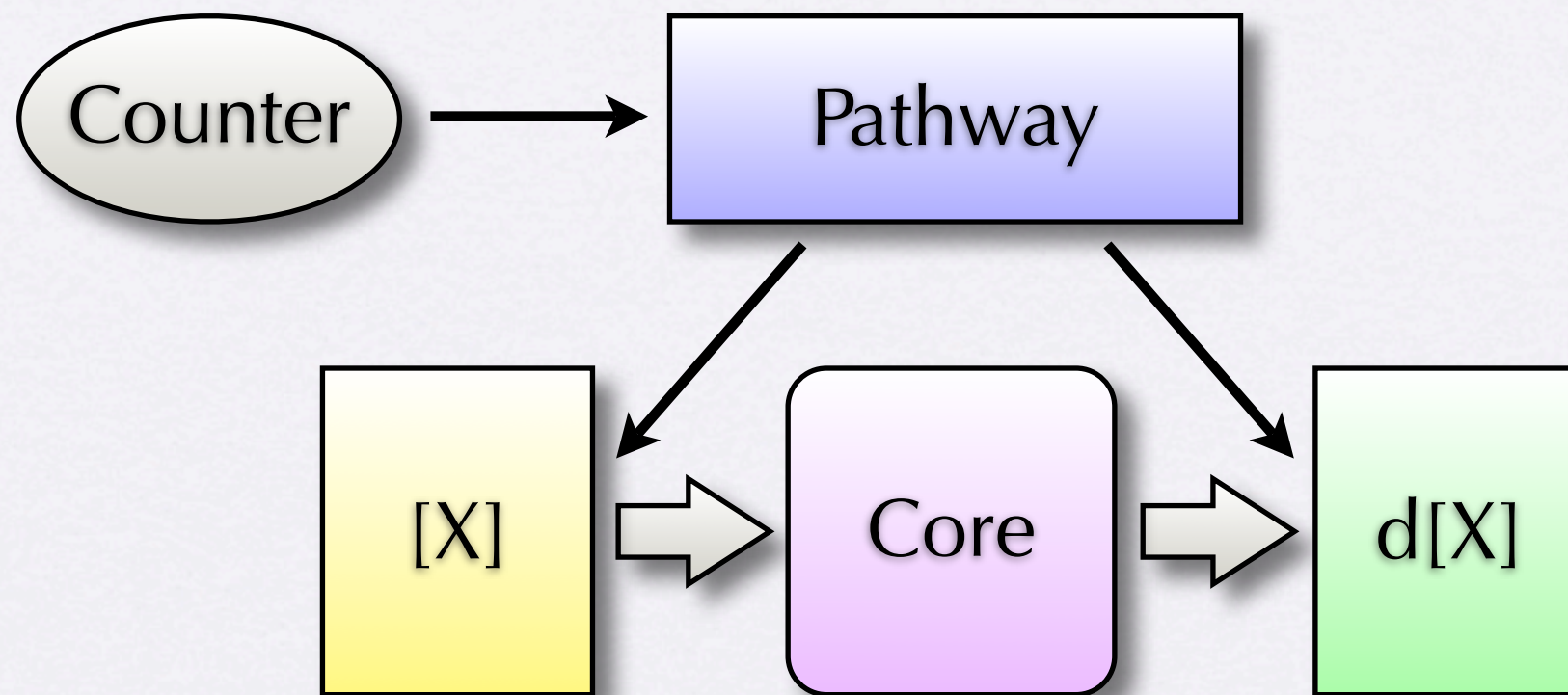


各メモリブロックは 1~2k words で、
FPGA 上の BlockRAM で構成

Integrator

Control Method

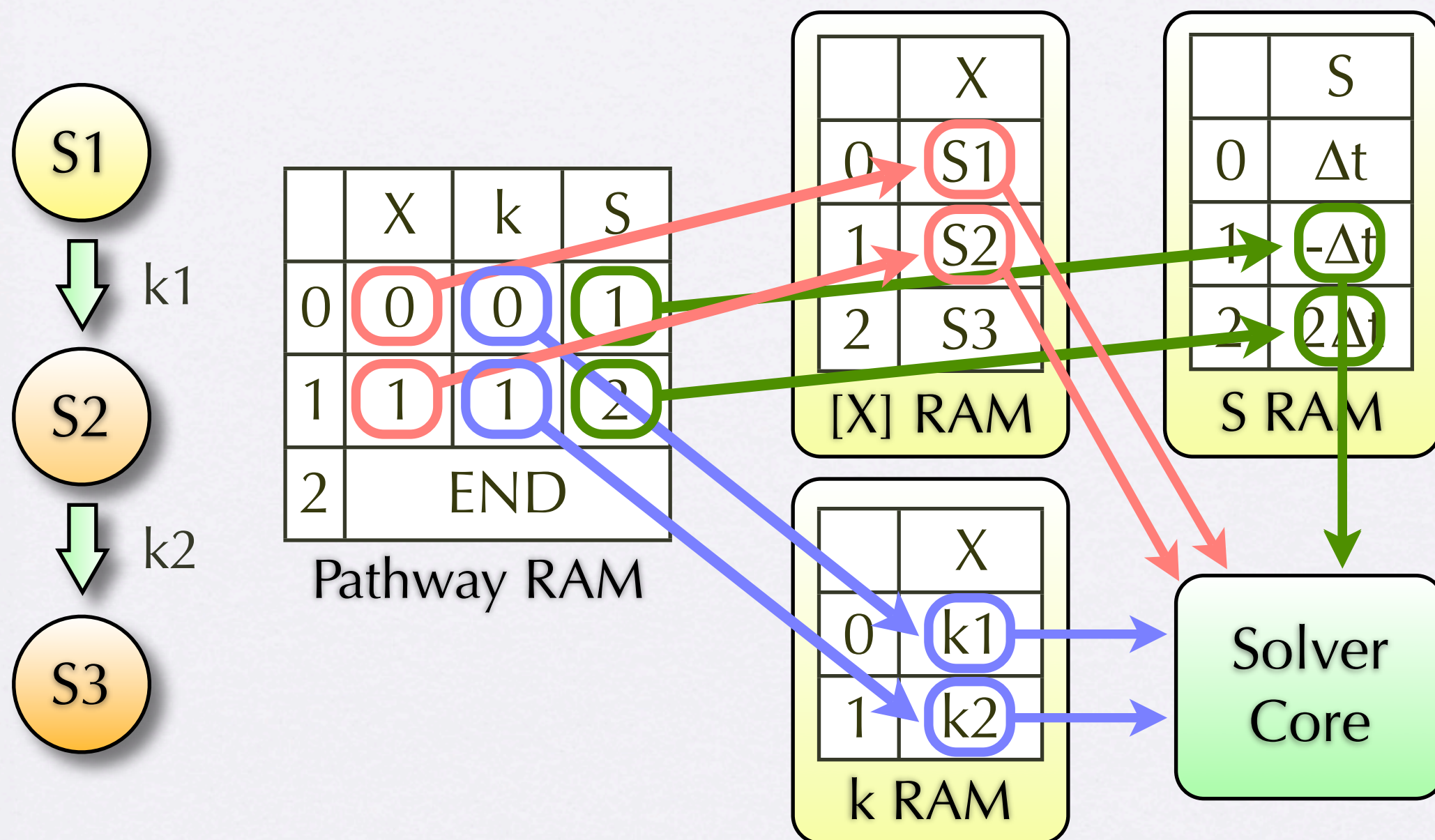
- ポインタ配列によって各メモリを制御



Integrator

Pathway RAM: the Key Technology

- ポインタ配列が反応経路を表現



Requirements

Stand-alone Processing Ability of FPGA

- FPGA が自律して処理を行うことが必須
- 複雑な反応経路をどうやって処理するか

✓ 反応経路を回路に hardcoding しない

- 多くの反応機構の混在に対応

✓ モデルの規模：1000分子種、1000反応程度

Integrator

Pathway RAM: Instructions

- Pathway RAM の各ワードに含まれるもの
 - X, k, dX, S の各メモリに入力されるアドレス列
 - Integrator を制御するための命令
 - NOP: 指定クロック数だけ停止
 - XtoK: X RAM から k RAM へのデータ転送

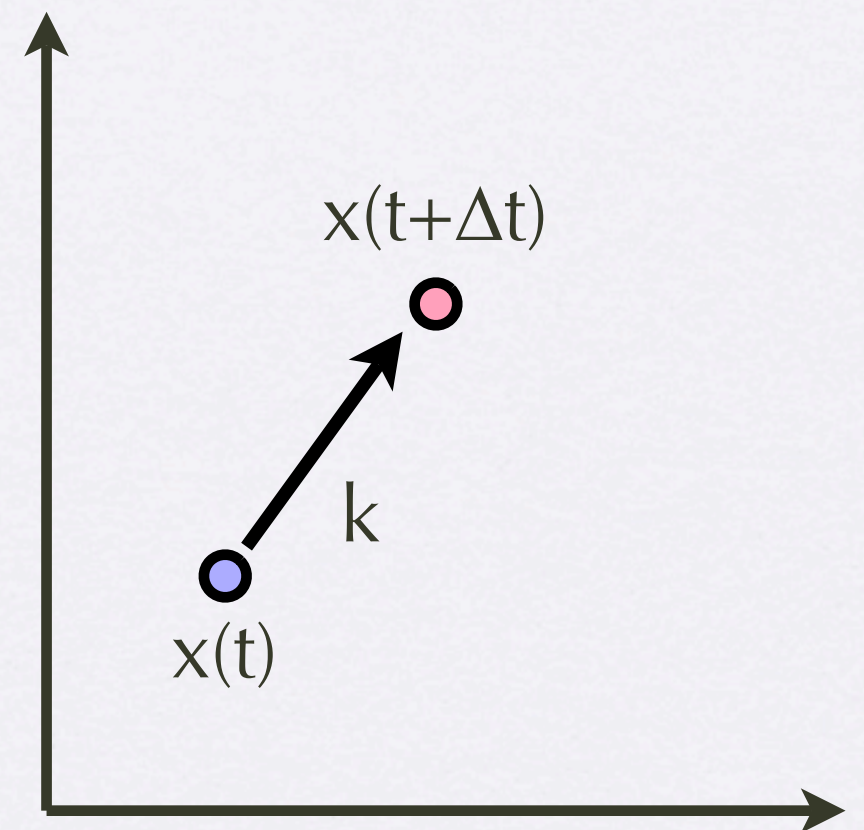
Integrator

Euler's Method

- もっとも簡単な前進解法

$$k = f(x(t))$$

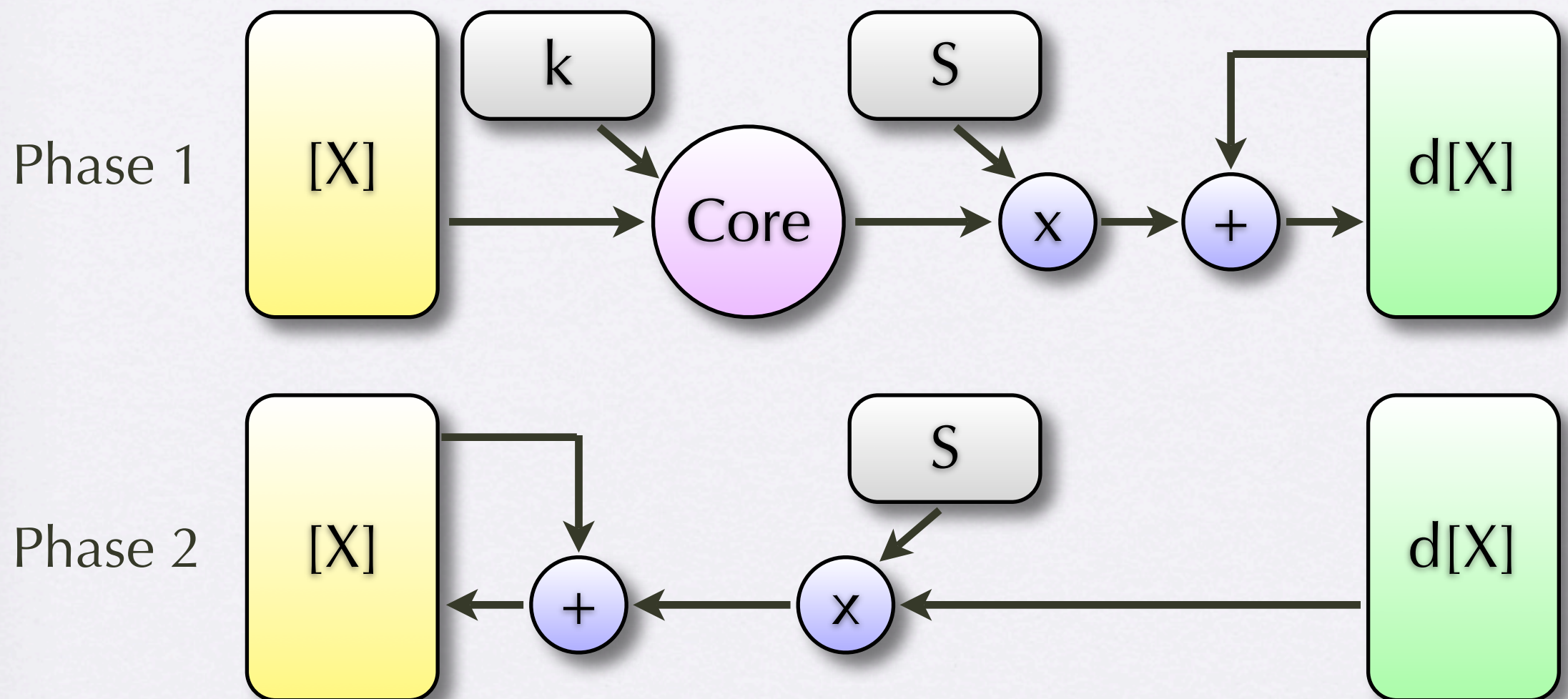
$$x(t+\Delta t) = x(t) + k$$



Integrator

Euler's Method

- 1時間刻みあたり1反復の処理



Integrator

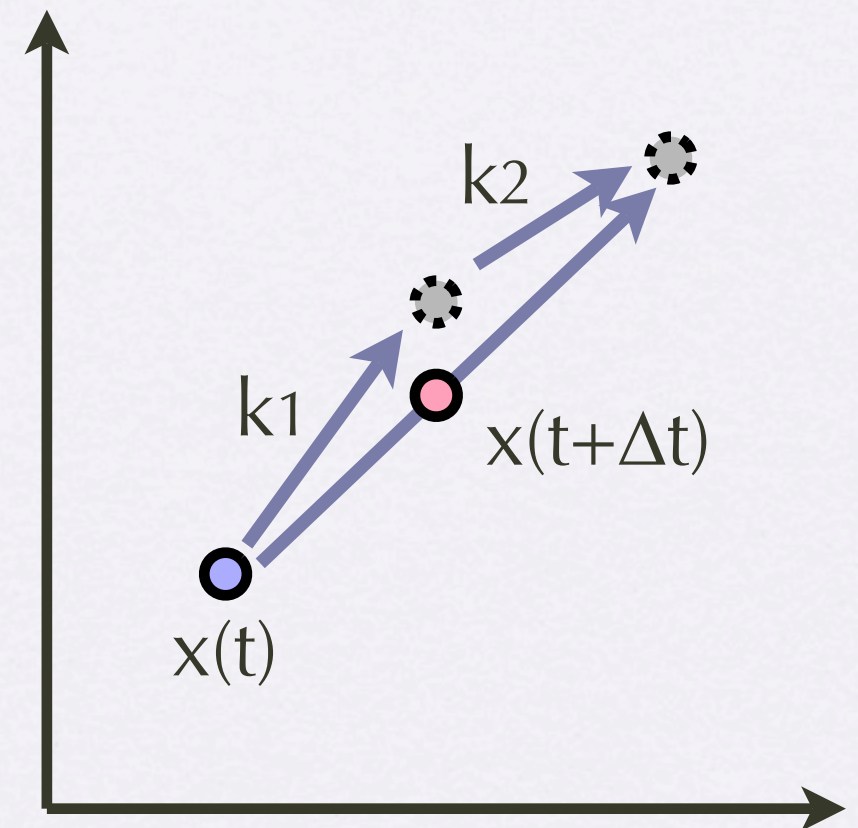
Heun's Method (or, Modified Euler)

- 修正子を設けた Euler 法
- 倍の計算量だが計算結果は大きく改善

$$k_1 = f(x(t))$$

$$k_2 = f(x(t) + k_1)$$

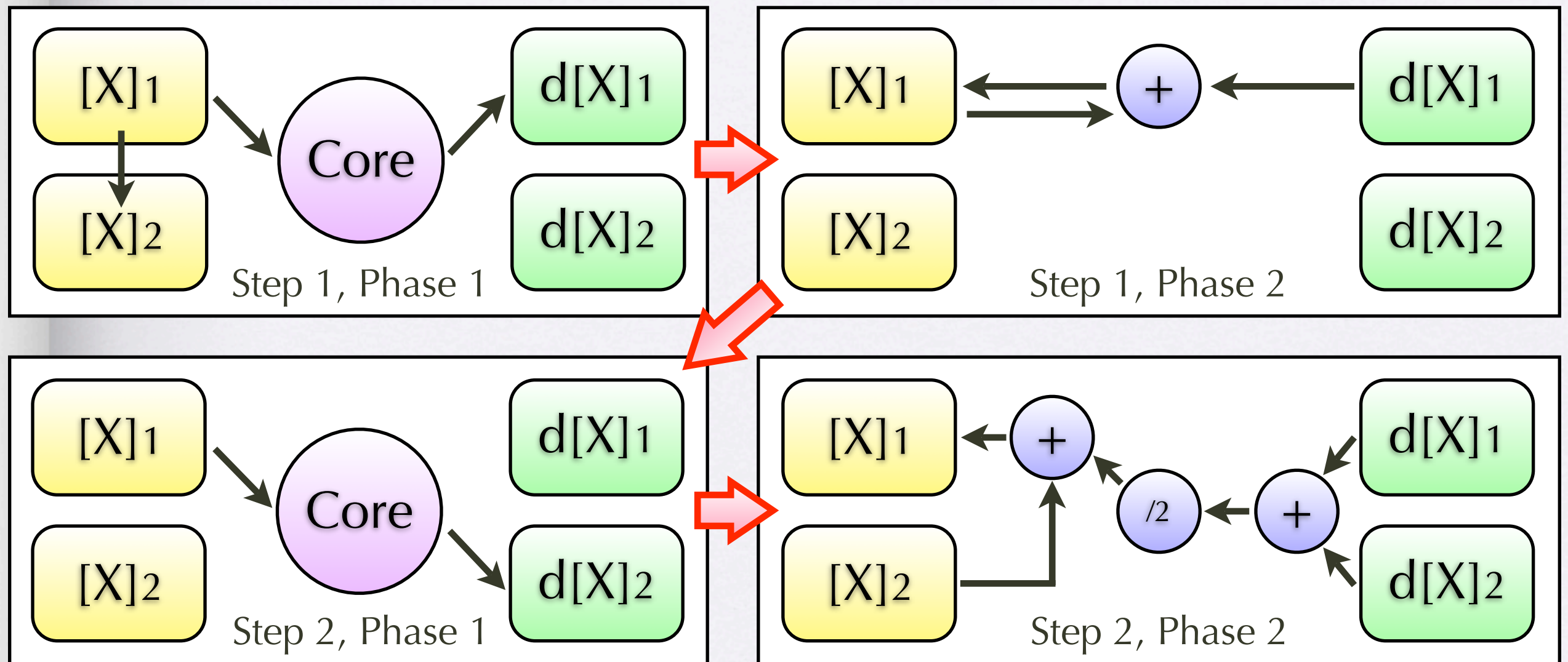
$$x(t+\Delta t) = x(t) + (k_1 + k_2)/2$$



Integrator

Heun's Method (or, Modified Euler)

- $[X]$ と $d[X]$ を2セット使用



Requirements

Stand-alone Processing Ability of FPGA

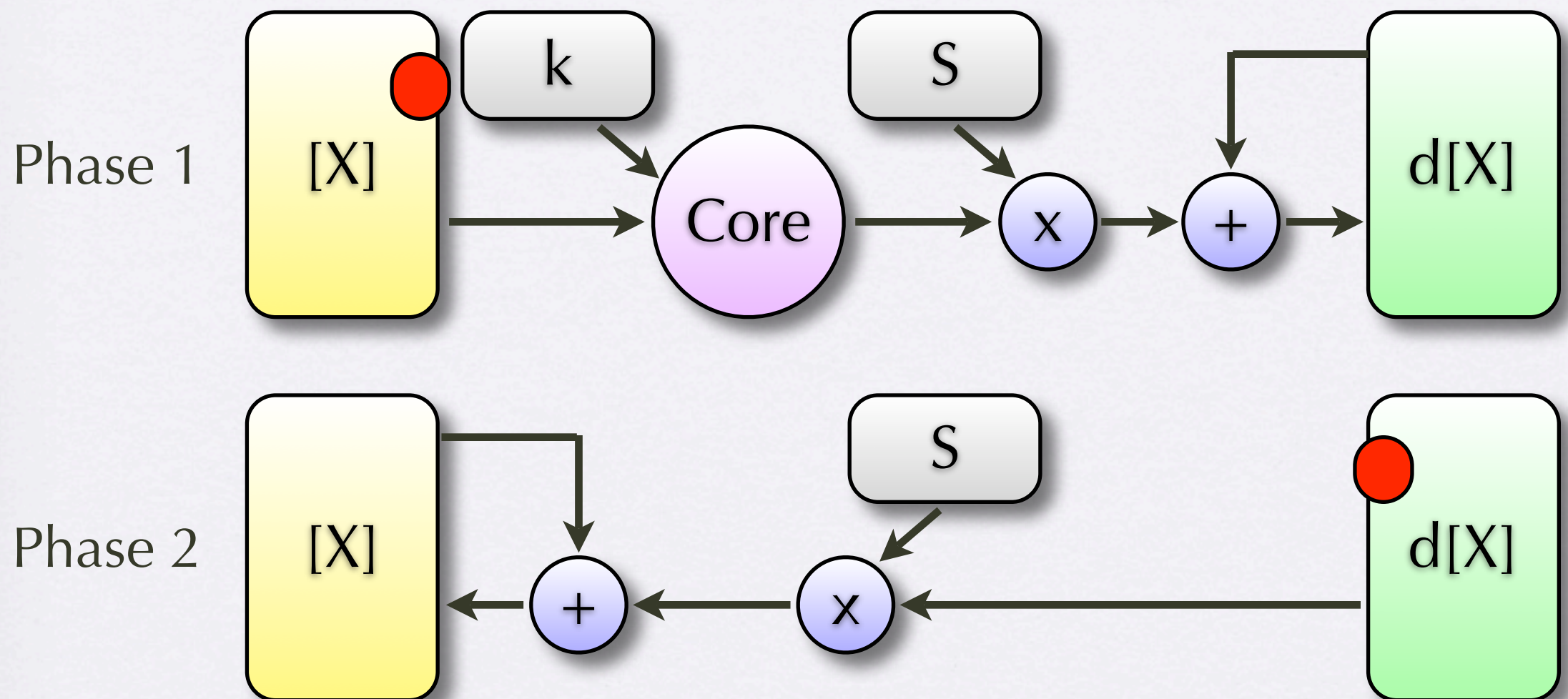
- FPGA が自律して処理を行うことが必須
- 複雑な反応経路をどうやって処理するか
 - ✓ 反応経路を回路に hardcoding しない
- 多くの反応機構の混在に対応

✓ モデルの規模：1000分子種、1000反応程度

Switch

Memory-to-Memory Communication

- Dual-port RAM の空きポートを使ってデータを交換

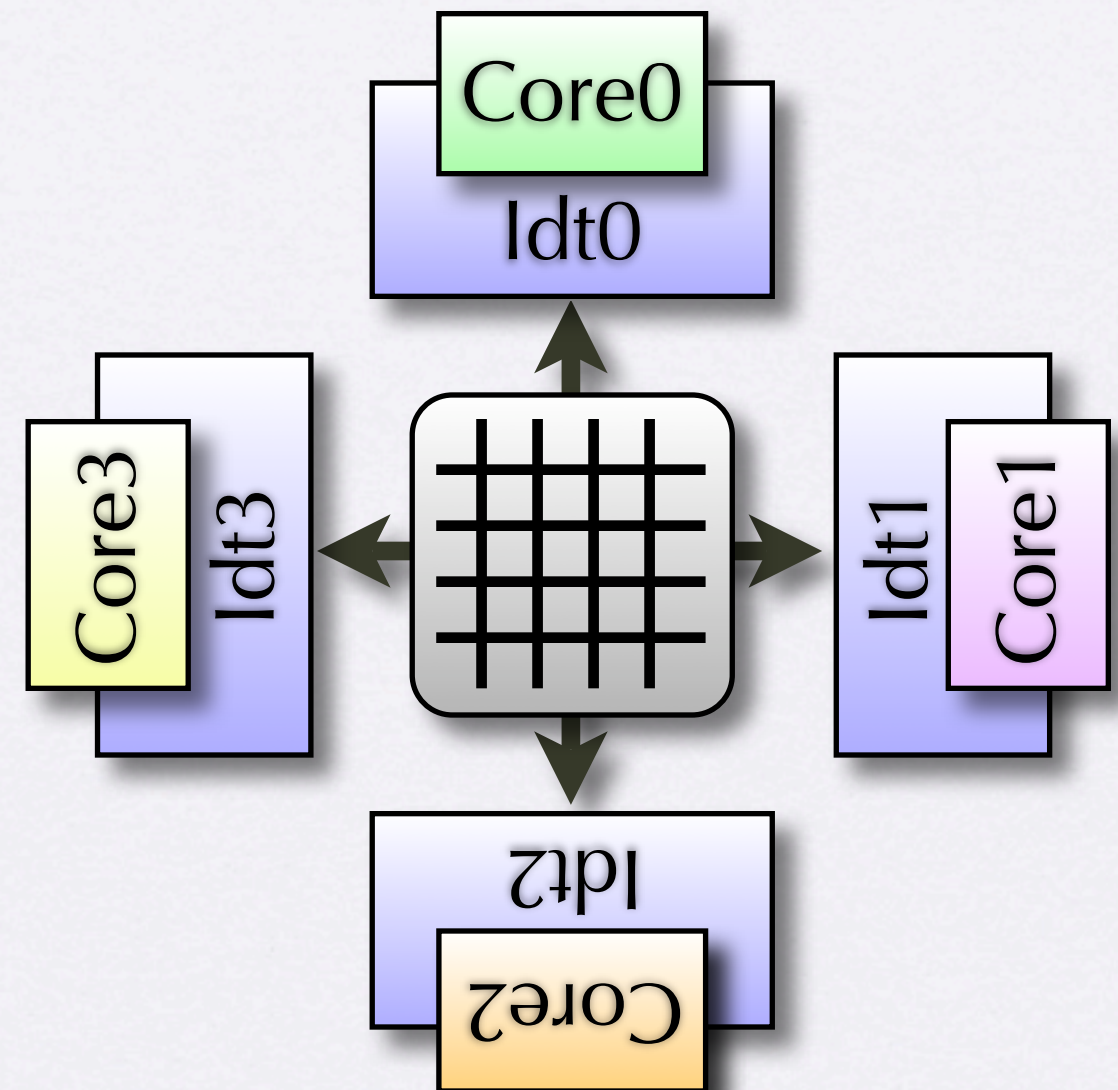


Switch

Organization

- 複数の Solver をクロスバで接続し、データを共有

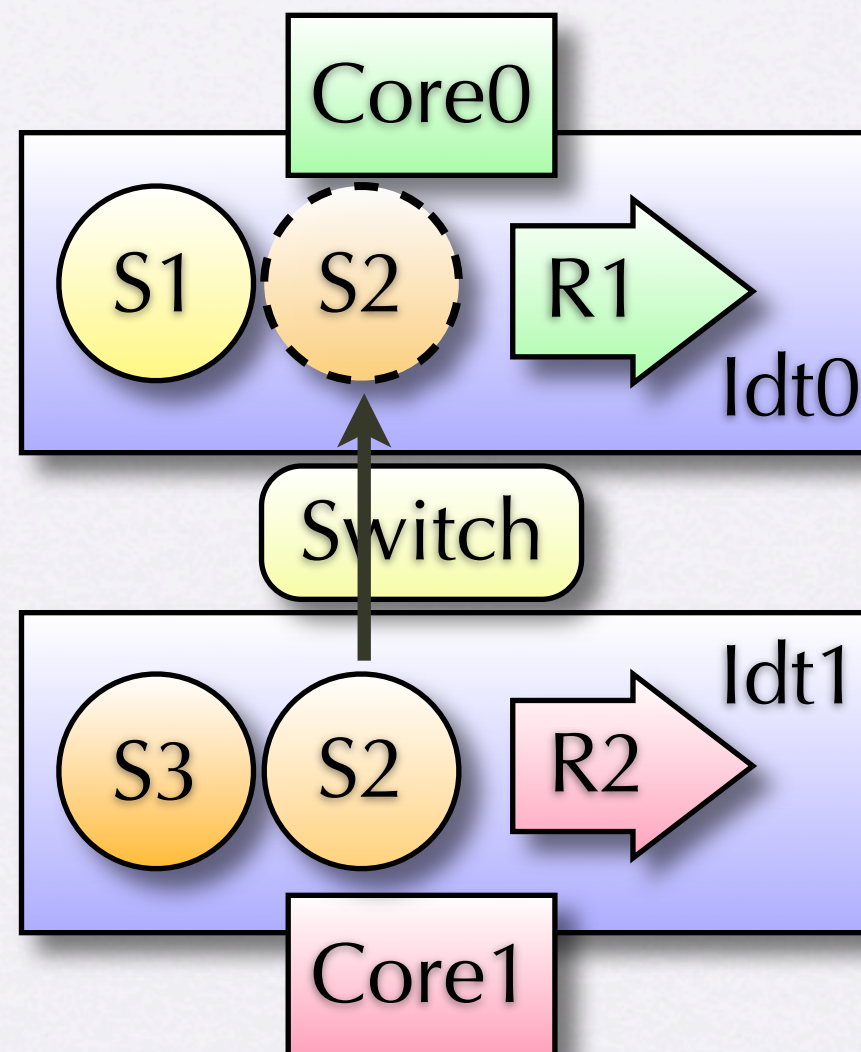
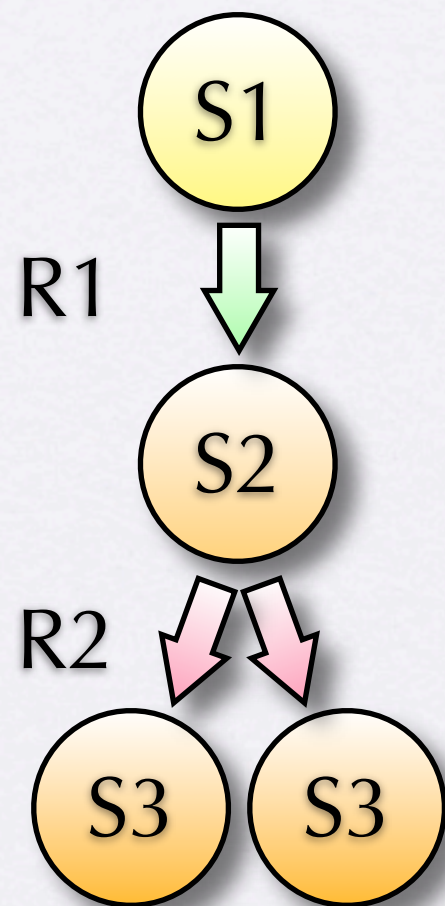
データ転送はシミュレーション開始前に静的にスケジュール



Switch

Mapping and Scheduling

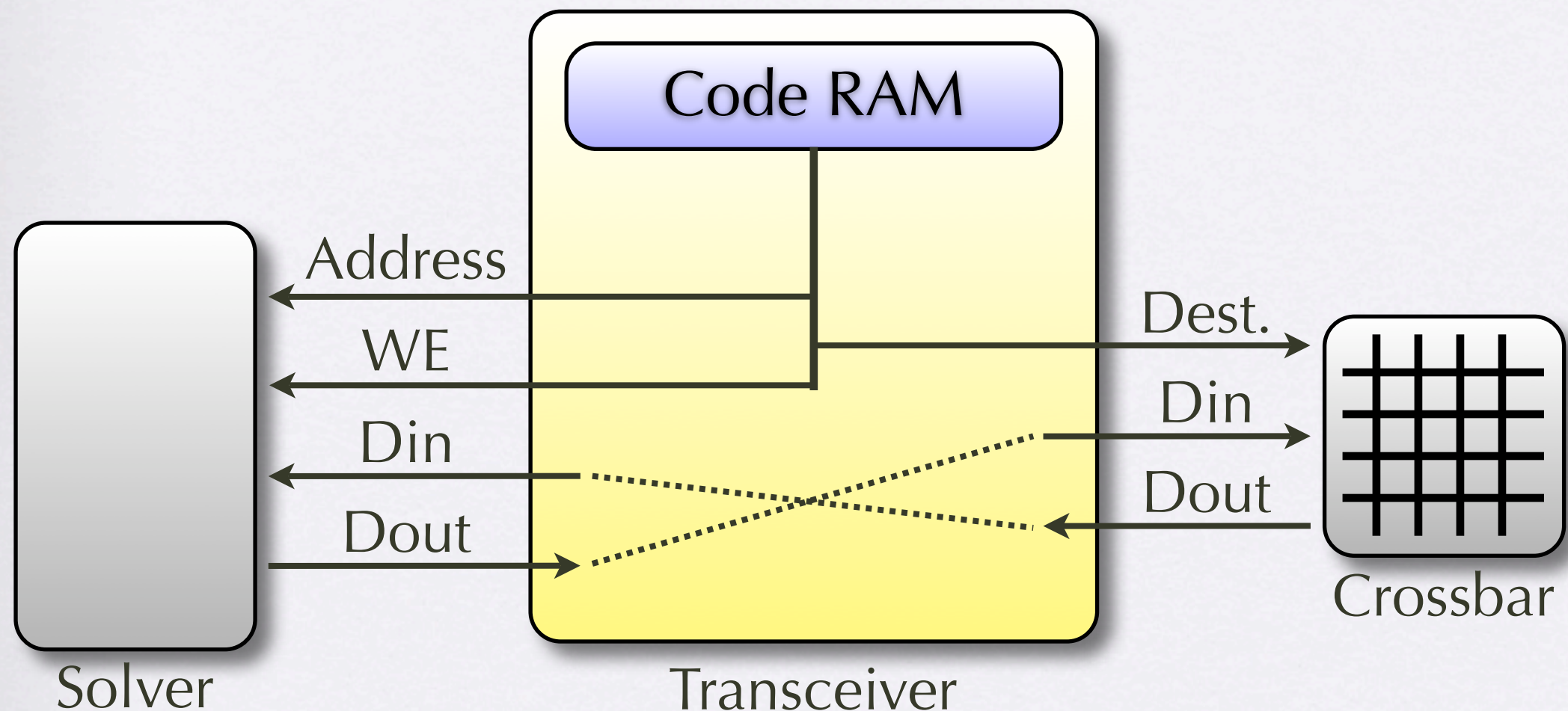
- シミュレーション開始前に分子・反応の配置と転送スケジューリングをホスト側で処理



Switch

Solver-Transceiver-Crossbar

- Transceiver は Code RAM によって制御される
- Pathway RAM に似た制御機構



Requirements

Stand-alone Processing Ability of FPGA

- FPGA が自律して処理を行うことが必須
- 複雑な反応経路をどうやって処理するか

✓ 反応経路を回路に hardcoding しない

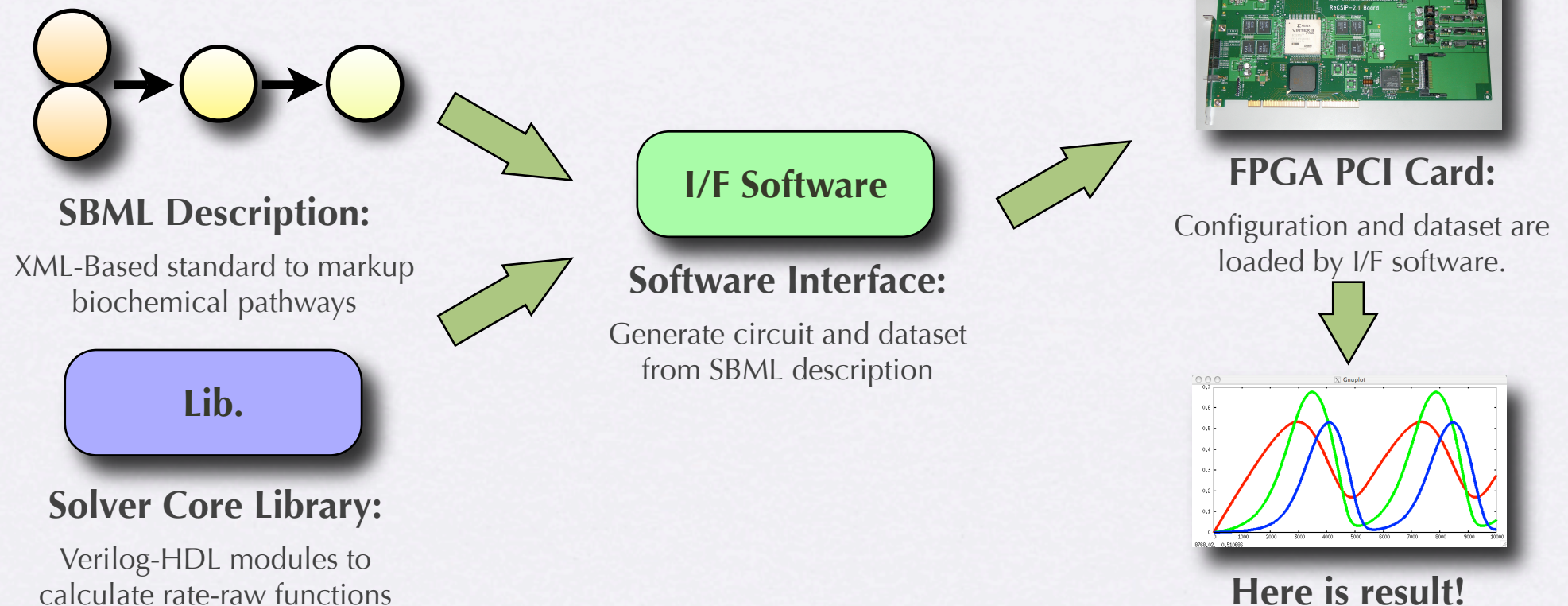
✓ 多くの反応機構の混在に対応

✓ モデルの規模：1000分子種、1000反応程度

System Overview

Optimal circuit, Always

- モジュールの組み合わせだけで可能
- ソフトウェアベースのシミュレータと同等の使



Outline of Presentation

- 背景
- 生化学シミュレーション
- ReCSiP の構成
 - Solver
 - 数値積分器
 - スイッチ
- 性能評価

Hardware Resources

Case of Cellcycle + Euler

- 3 solvers 構成の例 (CellCycle)
 - ロジック面積が支配的
 - Virtex-4 LX などの最新デバイスに好適

	#	%
Slice	16365	49
BRAM	97	29
18x18	24	7

Hardware Resources

Average Case

- XC2VP70 ひとつに 3~6 個の Solver を実装可能

	Integrator	Solver Core	# solvers *
Euler	1469	4185 (average)	5~6
Heun	2346		4~5
RK4	4273		3~4

* XC2VP70 has 33078 slices.

Performance: Usually 90MHz+ with XC2VP70-5,
100MHz+ with XC2VP70-6.

Performance

Replacing μ Ps

- Pentium4の80倍程度のピーク性能
 - FPGA 1つでPCクラスタに匹敵する処理能力

Integrator	Pentium4 3.2GHz	ReCSiP 90MHz	Gain
Euler	6.43	540	83.98
Heun	3.14	270	85.98
RK4	1.17	90	76.92

(Mreactions/sec.)

Outline of Presentation

- 背景
- 生化学シミュレーション
- ReCSiP の構成
 - Solver
 - 数値積分器
 - スイッチ
- 性能評価

Summary

in Architecture

- FPGA による生化学シミュレーション方式を開発
 - FPGA上で積分を行うことでホストとの間の限られた通信バンド幅を最大限利用
 - Pathway RAM を用いることでさまざまな反応経路に柔軟に対応
 - 複数の Solver を用いて並列度・柔軟性をさらに

Summary

in Design Approach

- モジュールの組み合わせで最適な回路を実現
 - モデルから回路を自動的に生成することが可能
 - 新しいモジュールの追加による拡張が容易
 - スイッチの規模を拡大して複数の FPGA を用いるようなシステムも構築可能

Summary

in Performance

- FPGA を用いたシミュレーションの性能を検証
 - Solver / Switch を静的にスケジューリングし、パイプライン処理の効率を最大限に発揮
 - 汎用 μ P の80倍程度のピーク性能を実現
 - 個人向け高性能計算環境の基盤としての FPGA の可能性の一端を実証

The End

Thank you for your attention!

Integrator

4th Runge-Kutta

- 広く用いられている中点法

$$k_1 = f(x(t))$$

$$k_2 = f(x(t) + 0.5 k_1 \Delta t)$$

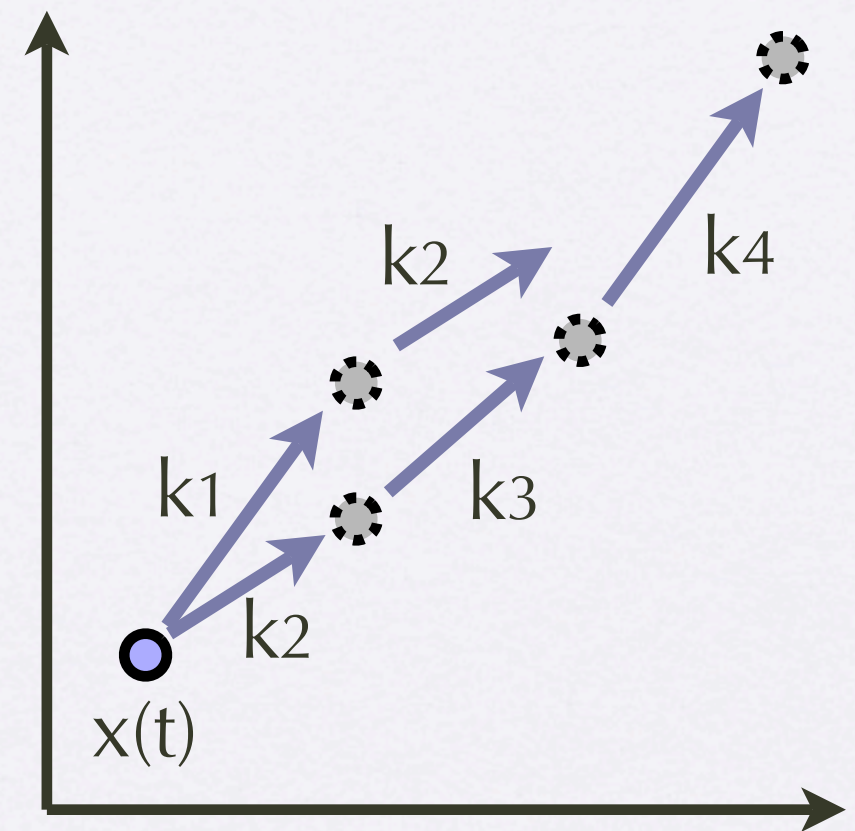
$$k_3 = f(x(t) + 0.5 k_2 \Delta t)$$

$$k_4 = f(x(t) + k_3 \Delta t)$$

$$x(t + \Delta t) = x(t) + (k_1 + 2k_2 + 2k_3 + k_4) \Delta t / 6$$

[X], d[X] RAMを4組使って実現

図が駄目駄目なのであとで直します



Integrator

4th Runge-Kutta

- 広く用いられている中点法

$$k_1 = f(x(t))$$

$$k_2 = f(x(t) + 0.5 k_1 \Delta t)$$

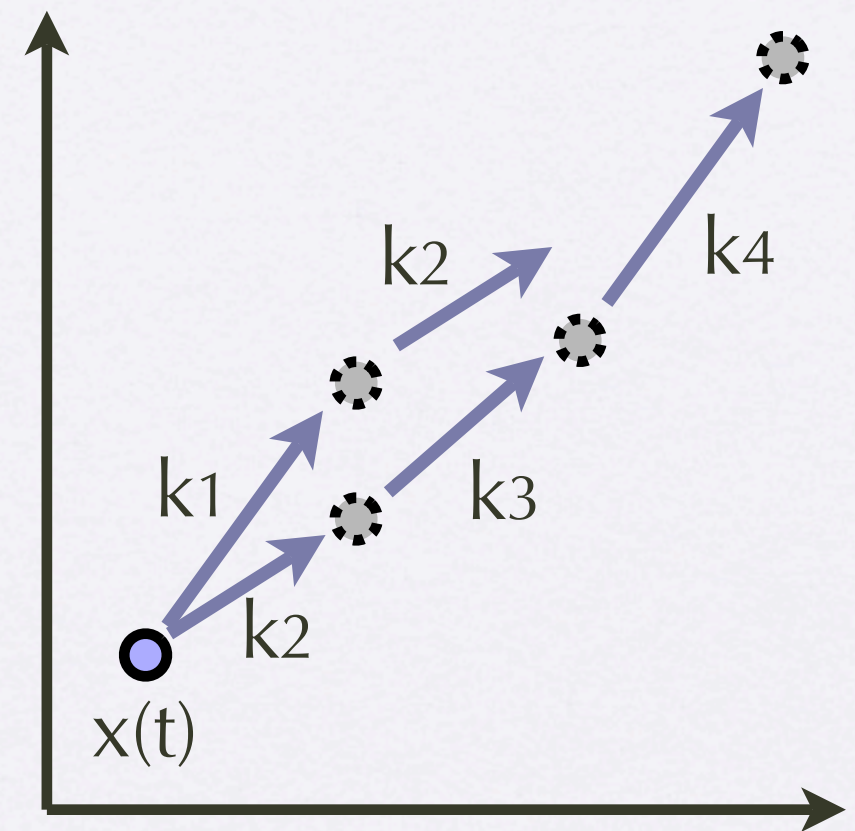
$$k_3 = f(x(t) + 0.5 k_2 \Delta t)$$

$$k_4 = f(x(t) + k_3 \Delta t)$$

$$x(t + \Delta t) = x(t) + (k_1 + 2k_2 + 2k_3 + k_4) \Delta t / 6$$

[X], d[X] RAMを4組使って実現

図が駄目駄目なのであとで直します

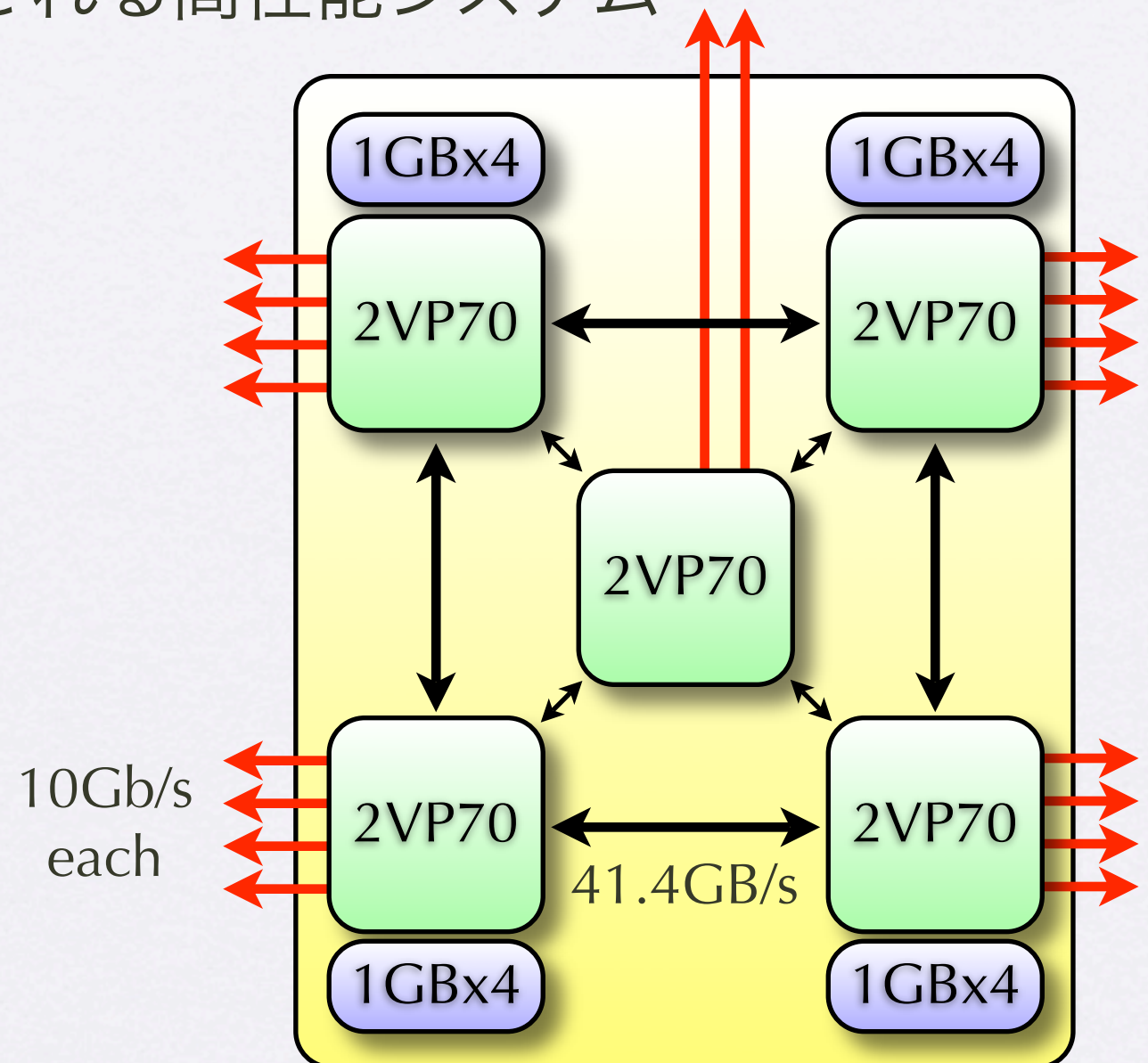


BEE2

University of California at Berkeley

- FPGA のみで構成される高性能システム

- 天文学系のデータ処理
- 商用スイッチでボード間を接続 (IB4X / 10GbE)



SRC-6 / SRC-7

SRC Computing Inc.

- Xeon 2.8GHz + XC2V6000 / XC2VP100

